

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002217316 A

(43) Date of publication of application: 02.08.02

(51) Int. Cl

H01L 21/8244

H01L 27/11

H01L 21/768

H01L 27/10

(21) Application number: 2001007491

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing: 16.01.01

(72) Inventor: OBAYASHI SHIGEKI

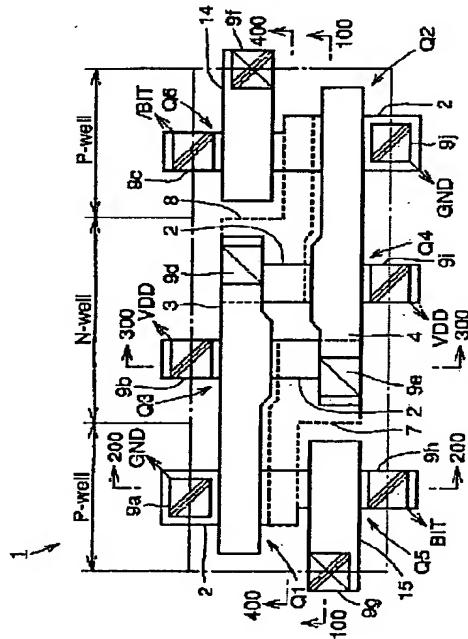
(54) SEMICONDUCTOR STORAGE DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the area of a full CMOS cell.

SOLUTION: A memory cell for an SRAM has a full CMOS cell structure in which three different conductivity type wells are arranged successively. Further, the cell has a first and second contact holes extended on the impurity region of a fixed MOS transistor from the upper sections of the first and second gates 3 and 4, and formed in a self-alignment manner to the first and second gates 3 and 4, and the first and second local wirings 7 and 8 formed in the contact holes.

COPYRIGHT: (C)2002,JPO



特開2002-217316

(P2002-217316A)

(43) 公開日 平成14年8月2日(2002.8.2)

(51) Int. C1.⁷

識別記号

H01L 21/8244
27/11
21/768
27/10 471

F I

H01L 27/10 471
381

21/90

テマコト*(参考)

5F033
5F083

C

審査請求 未請求 請求項の数9

O L

(全12頁)

(21) 出願番号 特願2001-7491(P2001-7491)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日 平成13年1月16日(2001.1.16)

(72) 発明者 大林 茂樹

東京都千代田区丸の内二丁目2番3号 三菱
電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

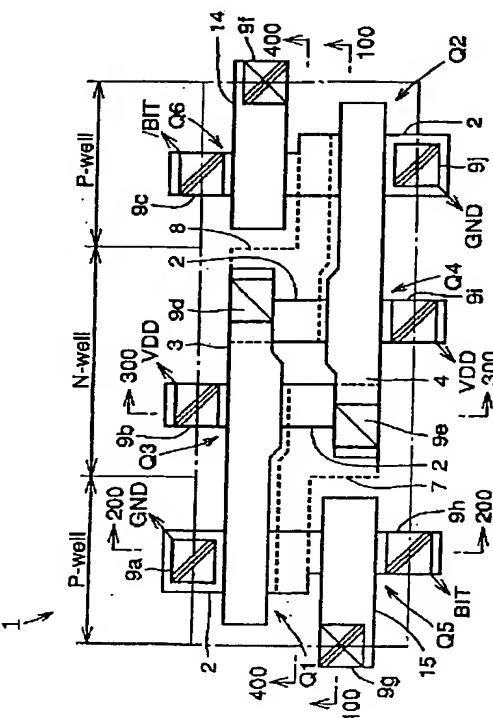
最終頁に続く

(54) 【発明の名称】半導体記憶装置

(57) 【要約】

【課題】 フルCMOSセルの面積を縮小する。

【解決手段】 本発明のSRAMのメモリセルは、異なる導電型の3つのウェルが順に並ぶフルCMOSセル構造を有し、第1および第2ゲート3, 4上から所定のMOSトランジスタの不純物領域上に延在し第1および第2ゲート3, 4に対し自己整合的に形成される第1および第2コンタクトホールと、該コンタクトホール内に形成される第1および第2局所配線7, 8とを備える。



【特許請求の範囲】

【請求項1】 第1と第2アクセスMOS (Metal Oxide Semiconductor) ドライバMOSトランジスタと、第1と第2ロードMOSトランジスタとを含むメモリセルと、

前記第1ドライバMOSトランジスタと前記第1アクセスMOSトランジスタとが形成される第1導電型の第1ウェル領域と、

前記第2ドライバMOSトランジスタと前記第2アクセスMOSトランジスタとが形成される第1導電型の第2ウェル領域と、

前記第1と第2ウェル領域間に形成され、前記第1と第2ロードMOSトランジスタが形成される第2導電型の第3ウェル領域と、

前記第1ドライバMOSトランジスタのゲートと前記第1ロードMOSトランジスタのゲートとを形成する第1ゲートと、

前記第2ドライバMOSトランジスタのゲートと前記第2ロードMOSトランジスタのゲートとを形成する第2ゲートと、

前記第1および第2ゲートに対し自己整合的に形成され、前記第1ドライバMOSトランジスタの一方の不純物領域と、前記第1ロードMOSトランジスタの一方の不純物領域と、前記第2ゲートとに達する第1コンタクトホールと、

前記第1コンタクトホール内に形成され、前記第1ドライバMOSトランジスタ、前記第1ロードMOSトランジスタおよび前記第2ゲートを電気的に接続する第1局部配線と、

前記第1および第2ゲートに対し自己整合的に形成され、前記第2ドライバMOSトランジスタの一方の不純物領域と、前記第2ロードMOSトランジスタの一方の不純物領域と、前記第1ゲートとに達する第2コンタクトホールと、

前記第2コンタクトホール内に形成され、前記第2ドライバMOSトランジスタ、前記第2ロードMOSトランジスタおよび前記第1ゲートを電気的に接続する第2局部配線と、を備えた、半導体記憶装置。

【請求項2】 前記第1と第2コンタクトホールの形状を同形状とする、請求項1に記載の半導体記憶装置。

【請求項3】 前記第1と第2ゲートを覆う第1層間絶縁層と、

前記第1層間絶縁層上に形成された第2層間絶縁層と、前記第2層間絶縁層上に形成され、前記第1、第2および第3ウェル領域が並ぶ方向に延在し、ワード線となる第1メタル配線と、

前記第1メタル配線上に第3層間絶縁層を介して形成され、ビット線、接地線および電源線となる複数の第2メタル配線とを備える、請求項1または請求項2に記載の半導体記憶装置。

【請求項4】 前記第2メタル配線と所定の前記MOSトランジスタとを電気的に接続するための複数の第3コンタクトホールを備え、

前記第1および第2コンタクトホールは、前記第1層間絶縁層に設けられ、

前記第3コンタクトホールは、前記第1および第2層間絶縁層を貫通し、前記第1あるいは第2ゲートに対し自己整合的に形成される、請求項3に記載の半導体記憶装置。

10 【請求項5】 前記第1メタル配線の厚みを前記第2メタル配線の厚みよりも小さくする、請求項3または請求項4に記載の半導体記憶装置。

【請求項6】 前記第1メタル配線の材料と前記第2メタル配線の材料とが異なり、

前記第1メタル配線の材料の比抵抗が、前記第2メタル配線の材料の比抵抗よりも高い、請求項3から請求項5のいずれかに記載の半導体記憶装置。

20 【請求項7】 前記第1メタル配線の材料と前記第3コンタクトホール内に埋め込まれる導電層の材料とが同一である、請求項4から請求項6のいずれかに記載の半導体記憶装置。

【請求項8】 前記ビット線と前記接地線間の間隔を、前記ビット線と前記電源線間の間隔よりも広くする、請求項3から請求項7のいずれかに記載の半導体記憶装置。

【請求項9】 前記半導体記憶装置は、基板上に絶縁層を介して形成された半導体層上に形成される、請求項1から請求項8のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、6つのMOS (Metal Oxide Semiconductor)トランジスタを含むメモリセル(以下「フルCMOSセル」と称する)を備えたSRAM(Static Random Access Memory)およびその製造方法に関し、より特定的には、メモリセルの面積低減が可能となるSRAMのメモリセルの構造に関する。

【0002】

【従来の技術】 SRAMの低電圧化に伴い、3V系までは、高抵抗負荷型、TFT負荷型の4つのMOSトランジスタと2つの負荷を有するメモリセルを備えたSRAMが主流であった。

【0003】 しかし近年、2.5V、1.8V、1.5Vの電圧へと低電圧化が進むにつれ、従来主流であった高抵抗負荷型やTFT負荷型のSRAMは、動作特性が悪いため衰退し、6つのMOSトランジスタを含むフルCMOSセルを備えたSRAMが主流になりつつある。

【0004】 ここで、フルCMOSセルとは、一般に、2つのパルクのアクセスnMOSトランジスタと、2つのパルクのドライブnMOSトランジスタと、2つのパルクのロードpMOSトランジスタとで形成されるメモ

リセルのことである。

【0005】従来のフルCMOSセルのレイアウトの一例が特開平10-178110号に記載されている。この公報記載のレイアウトを図26に示す。

【0006】図26に示すように、従来のフルCMOSセルは、横方向に交互に配置されたpウェルとnウェルを有する。pウェル上にnMOSトランジスタ50a～50dが形成され、nウェル上にpMOSトランジスタ51a、51bが形成される。また、これらのトランジスタのゲートとなる多結晶シリコン層52～55が形成されている。

[0007]

【発明が解決しようとする課題】図26に示すように、各MOSトランジスタのゲートや不純物領域を上層配線と接続するために多くのコンタクトホール56a～56iやビアホール57a～57iが設けられている。

【0008】たとえば図26に示す例では、インバータゲート上にコンタクトホール56b, 56fを設け、インバータゲート間にコンタクトホール56b, 56fとは別個にコンタクトホール56e, 56gを設けている。そのため、コンタクトホール56eとインバータゲート間に間隔D1, D2を確保する必要が生じ、コンタクトホール56gとインバータゲート間に間隔D3, D4を確保する必要が生じる。そのため、インバータゲート間隔が増大し、結果としてメモリセル面積が増大してしまう。

【0009】本発明は上記の課題を解決するためになされたものである。本発明の目的は、フルCMOSセルの面積を縮小することにある。

[0010]

【課題を解決するための手段】本発明に係る半導体記憶装置は、第1と第2アクセスMOSトランジスタと、第1と第2ドライバMOSトランジスタと、第1と第2ロードMOSトランジスタとを含むメモリセルと、第1ドライバMOSトランジスタと第1アクセスMOSトランジスタとが形成される第1導電型の第1ウェル領域と、第2ドライバMOSトランジスタと第2アクセスMOSトランジスタとが形成される第1導電型の第2ウェル領域と、第1と第2ウェル領域間に形成され第1と第2ロードMOSトランジスタが形成される第2導電型の第3ウェル領域と、第1ドライバMOSトランジスタのゲートと第1ロードMOSトランジスタのゲートとを形成する第1ゲートと、第2ドライバMOSトランジスタのゲートと第2ロードMOSトランジスタのゲートとを形成する第2ゲートと、第1および第2ゲートに対し自己整合的に形成され、第1ドライバMOSトランジスタの一方の不純物領域と、第1ロードMOSトランジスタの一方の不純物領域と、第2ゲートとに達する第1コンタクトホールと、第1コンタクトホール内に形成され、第1ドライバMOSトランジスタ、第1ロードMOSトラン

ジスタおよび第2ゲートを電気的に接続する第1局所配線と、第1および第2ゲートに対し自己整合的に形成され、第2ドライバMOSトランジスタの一方の不純物領域と、第2ロードMOSトランジスタの一方の不純物領域と、第1ゲートとに達する第2コンタクトホールと、第2コンタクトホール内に形成され、第2ドライバMOSトランジスタ、第2ロードMOSトランジスタおよび第1ゲートを電気的に接続する第2局所配線とを備える。

10 【0011】上記のように第1および第2コンタクトホールを、第1あるいは第2ゲート上から所定の不純物領域上に延在させることにより、図26に示す従来例のように第1あるいは第2ゲート上と、第1と第2ゲート間との双方に互いに離隔した別個のコンタクトホール56b, 56d, 56g, 56fを形成する必要がなくなる。それにより、図26における間隔D1, D4を縮小することができ、第1と第2ゲート間の間隔を従来例よりも狭くすることができる。また、第1および第2コンタクトホールを第1および第2ゲートに対し自己整合的に形成することにより、図26における間隔D2, D3をも縮小することができ、このことも第1と第2ゲート間の間隔の縮小に寄与し得る。

【0012】上記第1と第2コンタクトホールの形状を同形状とすることが好ましい。それにより、局所配線の形状および大きさを1種類に統一することができ、局所配線形成のための転写やエッチングを容易に行なえる。

【0013】本発明の半導体記憶装置は、第1と第2ゲートを覆う第1層間絶縁層と、第1層間絶縁層上に形成された第2層間絶縁層と、第2層間絶縁層上に形成され

30 前記第1、第2および第3ウェル領域が並ぶ方向に延在レワード線となる第1メタル配線と、第1メタル配線上に第3層間絶縁層を介して形成されビット線(BIT線)、接地線(GND線)および電源線(V_{DD}線)となる複数の第2メタル配線とを備えることが好ましい。それにより、第1および第2メタル配線に要求される特性を満足するようにこれらを形成することができる。また、ワード線の延在方向メモリセルが長くなるので、この方向に第2メタル配線を並べることにより第2メタル配線間の間隔を増大することができる。それにより、第40 2メタル配線の形成が容易となる。

【0014】また、本発明の半導体記憶装置は、第2メタル配線と所定の前記MOSトランジスタとを電気的に接続するための複数の第3コンタクトホールを備え、第1および第2コンタクトホールは第1層間絶縁層に設けられ、第3コンタクトホールは第1および第2層間絶縁層を貫通し、第1あるいは第2ゲートに対し自己整合的に形成されることが好ましい。

【0015】それにより、第1および第2コンタクトホールと、これらとは形状の異なる第3コンタクトホールを別工程で形成することができ、第1～第3コンタクト

トホールの形成が容易となる。また、これらを同時形成する場合と比べて、第1および第2コンタクトホールと、第3コンタクトホールとの間隔を小さくすることもできる。

【0016】上記第1メタル配線の厚みを第2メタル配線の厚みよりも小さくすることが好ましい。

【0017】第1メタル配線間の間隔は狭くなる場合が多いので、第1メタル配線の厚みを小さくすることにより、第1メタル配線の形成が容易となる。それにより、歩留りが向上する。

【0018】第1メタル配線の材料と第2メタル配線の材料とを異ならせ、第1メタル配線の材料の比抵抗を、第2メタル配線の材料の比抵抗より高くしてもよい。具体的には、たとえば第1メタル配線として比抵抗は比較的高いがコンタクトホールを埋め込むのに適した材料であるタングステン等を使用し、第2メタル配線としてタングステンよりも比抵抗の低いA1やA1合金等の配線を使用する。

【0019】それにより、コンタクトホール内から層間絶縁層上に延在するようにタングステン等で構成される第1メタル配線を形成することができ、コンタクトホール内に導電層を埋め込んでプラグを形成する工程や、プラグ上に別途A1やA1合金等の配線を形成する工程が必要なくなり、第1メタル配線の形成工程を簡素化することができる。

【0020】また第1メタル配線の材料と、第3コンタクトホール内に埋め込まれる導電層の材料とを同一としてもよい。この場合にも、第3コンタクトホール内から層間絶縁層上に一体的に第1メタル配線を形成でき、第1メタル配線の形成工程を簡素化することができる。

【0021】ビット線(BIT線)と接地線(GND線)間の間隔を、ビット線と電源線(V_{DD}線)間の間隔よりも広くすることが好ましい。それにより、ビット線と接地線(GND線)間の短絡を抑制することができ、いわゆる電流不良を抑制することができる。

【0022】本発明の半導体記憶装置を、基板上に絶縁層を介して形成した半導体層上に形成してもよい。このようにS O I(Silicon On Insulator)構造を採用することにより、ソフトエラー耐性を向上することができ、また周辺回路を高速動作させることもでき、リーク電流も低減できる。

【0023】

【発明の実施の形態】以下、図1～図25を用いて、本発明の実施の形態について説明する。

【0024】図1および図2は、本実施の形態におけるS R A M(半導体記憶装置)のメモリセルの平面図である。図3は、本実施の形態におけるS R A Mの等価回路図である。なお、図1には下層配線のレイアウトを示し、図2には上層配線のレイアウトを示す。

【0025】S R A Mは、図1に示すメモリセル1が形 50

成されるメモリセル領域と、メモリセル1の動作制御を行なう周辺回路が形成される周辺回路領域とを備える。

【0026】メモリセル1は、フルCMOSセル構造を有し、第1と第2インバータと、2つのアクセスMOSトランジスタとを有する。

【0027】図3に示すように、第1インバータは、第1ドライバMOSトランジスタQ1と第1ロードMOSトランジスタQ3とを含み、第2インバータは、第2ドライバMOSトランジスタQ2と第2ロードMOSトランジスタQ4とを含む。

【0028】第1インバータと第2インバータは互いの入力と出力を接続したフリップフロップを形成し、フリップフロップの第1の記憶ノードに第1アクセスMOSトランジスタQ5のソースが接続され、フリップフロップの第2の記憶ノードに第2アクセスMOSトランジスタQ6のソースが接続される。

【0029】図1に示すように、メモリセル1は、横方向(ワード線の延在方向)に並ぶpウェル領域、nウェル領域およびpウェル領域を備える。左側のpウェル領域には、第1ドライバMOSトランジスタQ1と第1アクセスMOSトランジスタQ5とを形成し、中央に位置するnウェル領域に、第1と第2ロードMOSトランジスタQ3、Q4を形成し、右側のpウェル領域に、第2ドライバMOSトランジスタQ2と第2アクセスMOSトランジスタQ6とを形成する。

【0030】また、pウェル領域およびnウェル領域内に、縦方向に延びる複数の活性領域2を選択的に形成し、活性領域2上に延在するように横方向に延びる第1、第2および第3ゲート3、4、14、15を形成する。

【0031】上記のようなレイアウトを採用することにより、図1に示すように、活性領域2と各ゲート3、4、14、15を直線に近い単純な形状とすることができ、メモリセル1の面積を縮小できる。

【0032】第1ゲート3は、第1ドライバMOSトランジスタQ1と第1ロードMOSトランジスタQ3のゲートとなり、第2ゲート4は、第2ドライバMOSトランジスタQ2と第2ロードMOSトランジスタQ4のゲートとなる。第3ゲート14、15は、第1および第2アクセスMOSトランジスタQ5、Q6のゲートとなる。第1および第2アクセスMOSトランジスタQ5、Q6のゲートは、ワード線に接続される。

【0033】図1に示すように、メモリセル1は、第1および第2局所配線(記憶ノード)7、8を備える。第1および第2局所配線7、8は、第1および第2ゲート3、4に対しセルファラインで形成され、活性領域2に対しボーダレスで形成される。

【0034】第1および第2局所配線7、8は、図1において破線で示す形状の第1と第2コンタクトホール内にそれぞれ形成される。第1と第2コンタクトホール

は、図1に示すように同一の形状および大きさを有する。したがって、第1および第2局所配線7, 8の形状および大きさも同一となり、第1および第2局所配線7, 8形成のための転写やエッチングを容易に行なえる。

【0035】図1に示すように、第1局所配線7が形成される第1コンタクトホールは、第1ロードMOSトランジスタQ3のドレインと、第1ドライバMOSトランジスタQ1のドレインとに達し、第2ゲート4上に延在する。このコンタクトホールは、直下に設けたコンタクトホール9eと連通し、コンタクトホール9eを通して第2ゲート4に達する。

【0036】したがって、第1局所配線7により、第2ゲート4と、第1ロードMOSトランジスタQ3のドレインと、第1ドライバMOSトランジスタQ1のドレインとが電気的に接続される。

【0037】第2局所配線8が形成される第2コンタクトホールは、第2ロードMOSトランジスタQ4のドレインと、第2ドライバMOSトランジスタQ2のドレインとに達し、第1ゲート3上に延在する。このコンタクトホールは、直下に設けたコンタクトホール9dと連通し、コンタクトホール9dを通して第1ゲート3に達する。

【0038】したがって、第2局所配線8により、第1ゲート3と、第2ロードMOSトランジスタQ4のドレインと、第2ドライバMOSトランジスタQ2のドレインとが電気的に接続される。

【0039】上記のように第1および第2コンタクトホールを、第1あるいは第2ゲート3, 4上から所定の不純物領域上に延在させることにより、図26に示す従来例のように第1あるいは第2ゲート上と、第1と第2ゲート間との双方に互いに離隔した別個のコンタクトホール56b, 56e, 56f, 56gを形成する必要がなくなる。それにより、図26における間隔D1, D4を縮小することができる。

【0040】また、第1および第2コンタクトホールを第1および第2ゲート3, 4に対し自己整合的に形成する。それにより、図26における間隔D2, D3をも縮小することができる。したがって、第1と第2ゲート間の間隔を従来例よりも狭くすることができる。

【0041】図2に示すように、第1および第2ゲート3, 4よりも上層に、第1メタル配線10a～10gが形成され、第1メタル配線10a～10gよりも上層に、第2メタル配線11a～11eが形成される。

【0042】第1メタル配線10aは、コンタクトホール9aを介して活性領域2と接続され、ビアホール12aを介して第2メタル配線(GND線)11aと接続される。第1メタル配線10bは、コンタクトホール9bを介して活性領域2と接続され、ビアホール12bを介して第2メタル配線(V_{DD}線:電源線)11cと接続さ

れる。

【0043】第1メタル配線10cは、コンタクトホール9cを介して活性領域2と接続され、ビアホール12cを介して第2メタル配線(／B I T線)11dと接続される。第1メタル配線10dは、ワード線に接続され、コンタクトホール9f, 9gを介して第3ゲート14, 15と接続される。

【0044】第1メタル配線10eは、コンタクトホール9hを介して活性領域2と接続され、ビアホール12fを介して第2メタル配線(B I T線)11bと接続される。第1メタル配線10fは、コンタクトホール9iを介して活性領域2と接続され、ビアホール12eを介して第2メタル配線11cと接続される。第1メタル配線10gは、コンタクトホール9jを介して活性領域2と接続され、ビアホール12dを介して第2メタル配線(GND線)11eと接続される。

【0045】ここで、図2に示すように、第2メタル配線(／B I T線)11dと第2メタル配線(GND線)11e間の間隔D6を、第2メタル配線(／B I T線)11dと第2メタル配線(V_{DD}線)11c間の間隔D5よりも広くする。

【0046】それにより、B I T線とGND線間の短絡を抑制することができ、いわゆる電流不良を抑制することができる。かかる電流不良を救済するには、特殊な冗長回路等を設ける必要が生じ、回路構成が複雑となる。

【0047】他方、B I T線は通常、スタンバイ時にV_{DD}にプリチャージされるので、B I T線とV_{DD}線が短絡したとしても動作不良にはなるが電流不良にはならない。

【0048】なお、第2メタル配線11a～11c間の間隔も同様に調整する。また、上記のコンタクトホール9a～9c, 9f～9jは、第1あるいは第2ゲート3, 4に対しセルフアラインで形成され、活性領域2に対しボーダレスで形成される。

【0049】図4～図7に、上記の構造を有するメモリセル1の断面構造を示す。図4は、図1および図2に示すメモリセル1の100-100線に沿う断面図であり、図5は、図1および図2に示すメモリセル1の200-200線に沿う断面図であり、図6は、図1および図2に示すメモリセル1の300-300線に沿う断面図であり、図7は、図1および図2に示すメモリセル1の400-400線に沿う断面図である。

【0050】図4に示すように、半導体基板16の主表面に、活性領域を規定するように選択的に素子分離絶縁層17を形成する。そして、活性領域上にゲート絶縁層(図示せず)を介して、第2ゲート4を形成する。第2ゲート4は、ポリシリコン層と、タングステンシリサイド層20との積層構造を有する。

【0051】また、所定の活性領域上には、ゲート絶縁層(図示せず)を介して第3ゲート15を形成する。第

3ゲート15は、第1ポリシリコン層18と、タングステンシリサイド層20との積層構造を有する。

【0052】第2および第3ゲート4, 15上に、絶縁層23を形成する。この絶縁層23の側壁上と、第2および第3ゲート4, 15の側壁上とに、エッチングストップとして機能し得る材質（たとえばシリコン窒化物層）からなるサイドウォール絶縁層22を形成する。

【0053】サイドウォール絶縁層22と絶縁層23を覆うように層間絶縁層24を形成し、絶縁層23を貫通するコンタクトホール9eと、層間絶縁層24を貫通する第1コンタクトホール28とを形成する。コンタクトホール9eは、上述のように第1コンタクトホール28の直下に位置し、第1コンタクトホール28の一部となる。

【0054】第1コンタクトホール28内に第1局所配線7を形成する。このとき、第1コンタクトホール28は、第3ゲート15の側壁上のサイドウォール絶縁層22に達しており、第3ゲート15に対し自己整合的に形成される。

【0055】第1および第2局所配線7, 8を覆うように層間絶縁層25を形成し、層間絶縁層24, 25および絶縁層23を貫通するようにコンタクトホール9gを形成する。このコンタクトホール9g内に、第1メタル配線10dを形成する。

【0056】第1メタル配線10dは、コンタクトホール9g内から層間絶縁層25上に連続して延び、タングステン等のメタルで構成される。また、他の第1メタル配線も所定のコンタクトホール内から層間絶縁層25上に延在する。

【0057】第1コンタクトホール28とコンタクトホール9gは別工程で形成される。それにより、これらのコンタクトホールを同時に形成する場合と比較してコンタクトホール間の間隔を充分に確保することができる。

【0058】第1メタル配線10d覆うように層間絶縁層26を形成し、層間絶縁層26上に第2メタル配線11a～11eを形成する。この第2メタル配線11a～11eを覆うようにさらに層間絶縁層（図示せず）を形成し、この層間絶縁層にピアホール（図示せず）を形成し、さらに層間絶縁層上に第3メタル配線（図示せず）を形成する。

【0059】図5に示すように、第1コンタクトホール28は第1および第3ゲート3, 15に対し自己整合的に形成され、コンタクトホール9aは第1ゲート3に対し自己整合的に形成され、コンタクトホール9hは3ゲート15に対し自己整合的に形成される。

【0060】それにより、各コンタクトホールとゲート間の間隔を縮小することができ、メモリセル面積縮小に寄与し得る。なお、上記以外のコンタクトホールも同様に隣合うゲートに対し自己整合的に形成される。

【0061】図6に示すように、第1コンタクトホール 50

28は、第1ゲート3に対しても自己整合的に形成される。このことも、第1および第2ゲート3, 4間の間隔縮小に寄与し得る。

【0062】図7に示すように、第1と第2コンタクトホール28, 30内に第1と第2局所配線7, 8がそれぞれ形成され、これらを覆う層間絶縁層25上に、ワード線と接続される第1メタル配線10dが形成される。第1メタル配線10dはメモリセル1の長手方向である横方向に延在している。第1メタル配線10d上には層間絶縁層26を介して第2メタル配線11a～11eが形成される。

【0063】第1メタル配線10a～10gとしてA1やA1合金等の低抵抗なメタルを使用した場合、従来例と同等の抵抗値でよければ、第1メタル配線10a～10gの厚みを第2メタル配線11a～11eの厚みよりも薄くすることができる。それにより、配線間隔が狭くなりがちな第1メタル配線10a～10gの形成が容易となり、歩留りが向上する。

【0064】また、第1メタル配線10a～10gの材料と第2メタル配線11a～11eの材料とを異ならせ、第1メタル配線10a～10gの材料の比抵抗を、第2メタル配線11a～11eの材料の比抵抗よりも高くしてもよい。

【0065】上記のように従来例と同等の抵抗値を確保するだけによければ、第1メタル配線10a～10gとして比抵抗の比較的高いタングステン等を使用し、第2メタル配線11a～11eとしてタングステンよりも比抵抗の低いA1やA1合金等を使用してもよい。

【0066】タングステンはコンタクトホールを埋め込むのに適した材料である。このタングステンを第1メタル配線10a～10gの材質として用いることにより、コンタクトホール内から層間絶縁層上に延在するようにタングステン等で構成される第1メタル配線10a～10gを形成することができる。

【0067】それにより、コンタクトホール内に導電層を埋め込んでプラグを形成する工程や、プラグ上に別途A1やA1合金等の配線を形成する工程が必要なくなり、第1メタル配線10a～10gの形成工程を簡素化することができる。

【0068】また第1メタル配線10a～10gの材料と、コンタクトホール9g等の内部に埋め込まれる導電層の材料とを同一としてもよい。この場合にも、コンタクトホール9a等内から層間絶縁層25上に一体的に第1メタル配線10a～10gを形成でき、第1メタル配線10a～10gの形成工程を簡素化することができる。

【0069】他方、メモリセル1の長手方向である横方向に第2メタル配線11a～11eを並べることにより、配線間隔を大きくすることができる。それにより、第2メタル配線11a～11eの形成が容易となるのみ

ならず、第2メタル配線11a～11eを厚膜化でき、低抵抗化することができる。

【0070】上述の実施の形態では、半導体基板16上にSRAMを形成する場合について説明したが、図8に示すようにSRAMを、基板27上に絶縁層31を介して形成された半導体層32上に形成してもよい。このようにSOI構造を採用することにより、ソフトエラー耐性を向上することができる。また、周辺回路を高速動作させることもでき、リーク電流も低減できる。

【0071】次に、本発明に係るSRAMのメモリセル1の製造方法について、図9～図25を用いて説明する。

【0072】図9～図14は、図1および図2に示すメモリセル1の各工程における100～100線断面図を示し、図15～図19は、各工程における200～200線断面図を示し、図20～図25は、各工程における300～300線断面図を示す。

【0073】なお、以下の説明では、半導体基板上にメモリセル1を形成する場合について説明するが、SOI構造を採用する場合にも適用できる。また、図示の便宜上、半導体基板内の不純物プロファイルの図示は省略している。

【0074】図9および図20に示すように、メモリセル領域内に位置する半導体基板16の主表面に、選択的に素子分離絶縁層17を形成する。素子分離絶縁層17は、たとえば半導体基板16の主表面を選択的に熱酸化することにより形成できる。その後、ウェル(図示せず)形成用の不純物注入を行なう。

【0075】次に、CVD(Chemical Vapor Deposition)法等によりゲート絶縁層(図示せず)を形成した後、図10、図15および図21に示すように、CVD法等によりポリシリコン層18を堆積する。抵抗低減のため、ポリシリコン層18には不純物をドープすることが好ましい。

【0076】ポリシリコン層18上にタングステン層を形成し、この状態で熱処理を施す等して、ポリシリコン層18上にタングステンシリサイド層20を形成する。そして、CVD法等により、タングステンシリサイド層20上にシリコン酸化物層等よりなる絶縁層23を形成する。

【0077】絶縁層23上にマスク層(図示せず)を形成し、このマスク層を用いて絶縁層23を選択的にエッチングする。この絶縁層23をマスクとして、図10、図15および図21に示すようにタングステンシリサイド層20およびポリシリコン層18をエッチングする。それにより、第1および第2ゲート3、4と、第3ゲート(アクセスMOSトランジスタQ5、Q6のゲート)14、15とを形成する。

【0078】次に、図11、図16および図22に示すように、各MOSトランジスタを形成するための不純物

注入や、サイドウォール絶縁層22の形成を行なう。このとき、サイドウォール絶縁層22の材質としては、たとえばシリコン窒化物層のようにシリコン酸化物層のエッティングのときにエッティングストップとして機能し得る材質を採用する。その後、絶縁層23を選択的にエッチングして開口部9eを形成する。

【0079】次に、全面にシリコン窒化物層等のエッティングストップ層を堆積し、このエッティングストップ層上にシリコン酸化物等よりなる層間絶縁層24を堆積する。この層間絶縁層24を平坦化した後、層間絶縁層24上に局所配線形成用マスク(図示せず)を形成し、このマスクを用いて層間絶縁層24を選択的にエッティングする。

【0080】そして、エッティングストップ層でエッティングを止め、層間絶縁層24が除去された箇所のエッティングストップ層を除去する。それにより、図12、図17および図23に示すように、コンタクトホール9eと連通するセルフアライン構造の第1コンタクトホール28とを形成する。

【0081】次に、CVD法等により、層間絶縁層24を覆うようにタングステン層を堆積し、タングステン層の表面を平坦化する。それにより、コンタクトホール9eおよび第1コンタクトホール28内にタングステン層を埋め込むことができ、図13、図18および図24に示すように、第1局所配線7を形成することができる。このとき、図示しない第2局所配線8も同時に形成される。

【0082】その後、層間絶縁層24上にシリコン酸化物層等よりなる層間絶縁層25を堆積し、層間絶縁層25に平坦化処理を施す。この層間絶縁層25上にマスク層(図示せず)を形成し、このマスク層を用いて層間絶縁層24、25を選択的にエッティングし、第3ゲート14、15上では、それらに加えてエッティングストップ層および絶縁層23をも選択的にエッティングする。

【0083】それにより、図13、図18および図24に示すように、セルフアライン構造のコンタクトホール9a～9c、9f～9jを形成する。

【0084】次に、CVD法等により、層間絶縁層25を覆うようにタングステン層を堆積し、タングステン層をパターニングする。それにより、コンタクトホール9a～9c、9f～9j内にタングステン層を埋め込むとともに、図14、図19および図25に示すように、コンタクトホール9a～9c、9f～9j内から層間絶縁層25上に延在する第1メタル配線10a～10gを形成することができる。

【0085】その後、第1メタル配線10a～10gを覆うように層間絶縁層26を形成し、層間絶縁層26にビアホール12a～12fを形成し、ビアホール12a～12fにタングステン層を埋め込む。そして、層間絶縁層26上にメタル層を形成し、これをパターニングす

る。それにより、第2メタル配線11a～11eを形成する。

【0086】以上の工程を経て、図4～図6に示すSRAMのメモリセルが形成される。その後、第2メタル配線11a～11e上にさらに図示しない層間絶縁層を形成し、この層間絶縁層上に第3メタル配線を形成する。

【0087】以上のように本発明の実施の形態について説明を行なったが、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0088】

【発明の効果】本発明によれば、第1と第2ゲート間の間隔を従来例よりも狭くすることができるので、メモリセルを従来例よりも縮小することができ、メモリセル面積を従来例よりも低減することができる。

【図面の簡単な説明】

【図1】 本発明の半導体記憶装置のメモリセルにおけるゲート配線のレイアウトを示す平面図である。

【図2】 本発明の半導体記憶装置のメモリセルにおける上層メタル配線のレイアウトを示す平面図である。

【図3】 本発明の半導体記憶装置のメモリセルの等価回路図である。

【図4】 図1における100-100線に沿う断面図である。

【図5】 図1における200-200線に沿う断面図である。

【図6】 図1における300-300線に沿う断面図である。

【図7】 図1における400-400線に沿う断面図である。

【図8】 SOI構造を採用した場合のメモリセルの断面図である。

【図9】 図1に示す半導体記憶装置の製造工程の第1工程を示す断面図であり、図4の断面に対応する断面を示す図である。

【図10】 図1に示す半導体記憶装置の製造工程の第2工程を示す断面図であり、図4の断面に対応する断面を示す図である。

【図11】 図1に示す半導体記憶装置の製造工程の第3工程を示す断面図であり、図4の断面に対応する断面を示す図である。

【図12】 図1に示す半導体記憶装置の製造工程の第4工程を示す断面図であり、図4の断面に対応する断面を示す図である。

【図13】 図1に示す半導体記憶装置の製造工程の第5工程を示す断面図であり、図4の断面に対応する断面を示す図である。

【図14】 図1に示す半導体記憶装置の製造工程の第50

6工程を示す断面図であり、図4の断面に対応する断面を示す図である。

【図15】 図1に示す半導体記憶装置の製造工程の第2工程を示す断面図であり、図5の断面に対応する断面を示す図である。

【図16】 図1に示す半導体記憶装置の製造工程の第3工程を示す断面図であり、図5の断面に対応する断面を示す図である。

【図17】 図1に示す半導体記憶装置の製造工程の第4工程を示す断面図であり、図5の断面に対応する断面を示す図である。

【図18】 図1に示す半導体記憶装置の製造工程の第5工程を示す断面図であり、図5の断面に対応する断面を示す図である。

【図19】 図1に示す半導体記憶装置の製造工程の第6工程を示す断面図であり、図5の断面に対応する断面を示す図である。

【図20】 図1に示す半導体記憶装置の製造工程の第1工程を示す断面図であり、図6の断面に対応する断面を示す図である。

【図21】 図1に示す半導体記憶装置の製造工程の第2工程を示す断面図であり、図6の断面に対応する断面を示す図である。

【図22】 図1に示す半導体記憶装置の製造工程の第3工程を示す断面図であり、図6の断面に対応する断面を示す図である。

【図23】 図1に示す半導体記憶装置の製造工程の第4工程を示す断面図であり、図6の断面に対応する断面を示す図である。

【図24】 図1に示す半導体記憶装置の製造工程の第5工程を示す断面図であり、図6の断面に対応する断面を示す図である。

【図25】 図1に示す半導体記憶装置の製造工程の第6工程を示す断面図であり、図6の断面に対応する断面を示す図である。

【図26】 従来の半導体記憶装置のメモリセルにおけるゲート配線のレイアウトを示す平面図である。

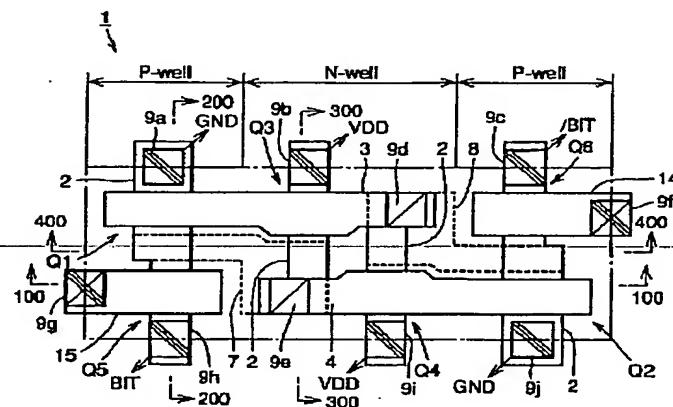
【符号の説明】

- 1 メモリセル、2 活性領域、3 第1ゲート、4 第2ゲート、7 第1局所配線、8 第2局所配線、9 a～9j コンタクトホール、10a～10g 第1メタル配線、11a～11e 第2メタル配線、12a～12f ピアホール、14, 15 第3ゲート、16 半導体基板、17 素子分離絶縁層、18 ポリシリコン層、20 タングステンシリサイド層、23, 31 絶縁層、22 サイドウォール絶縁層、24～26 層間絶縁層、27 基板、28 第1コンタクトホール、30 第2コンタクトホール、32 半導体層、Q1 第1ドライブMOSトランジスタ、Q2 第2ドライブMOSトランジスタ、Q3 第1ロードMOSトランジ

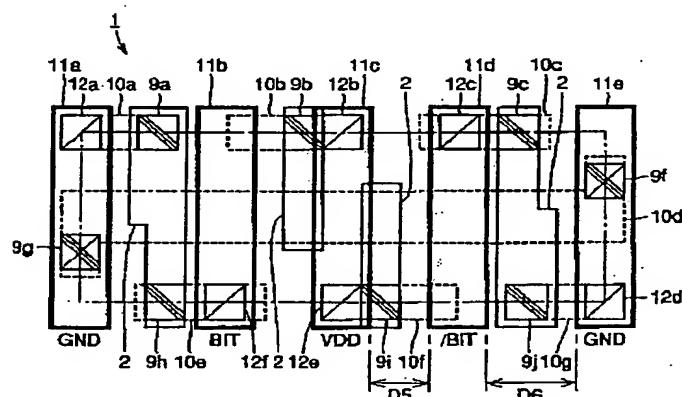
タ、Q4 第2ロードMOSトランジスタ、Q5第1ア
クセスMOSトランジスタ、Q6 第2アクセスMOS

トランジスタ。

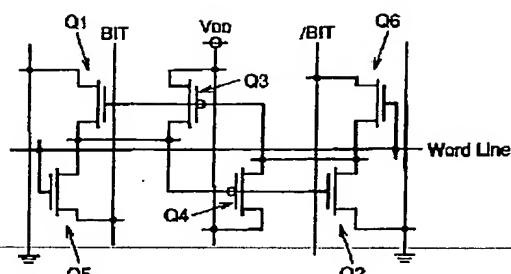
【図1】



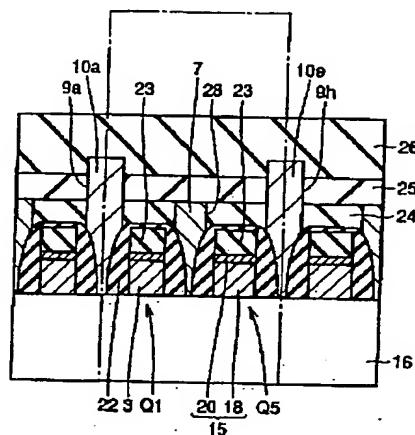
【図2】



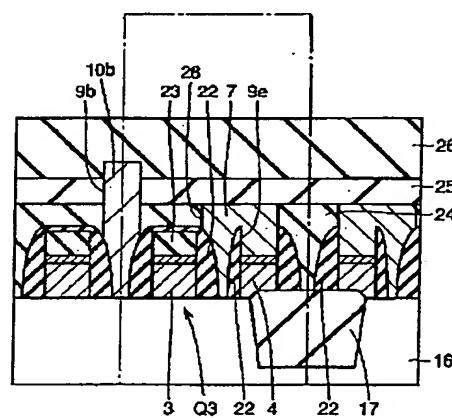
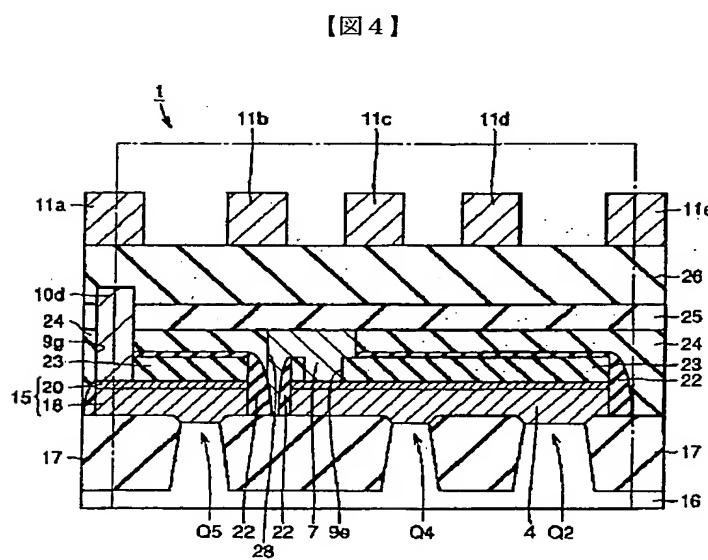
【図3】



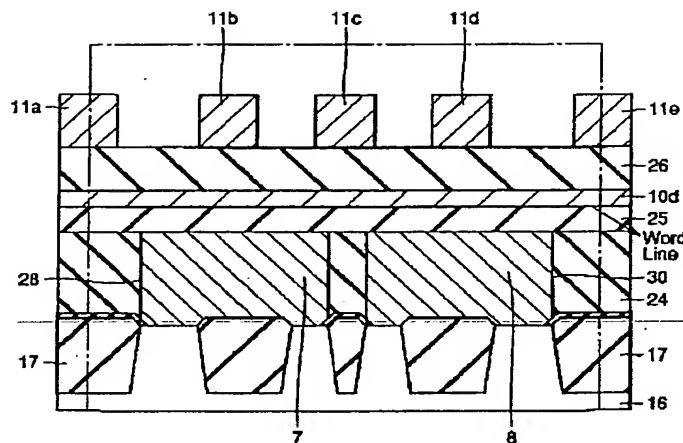
【図5】



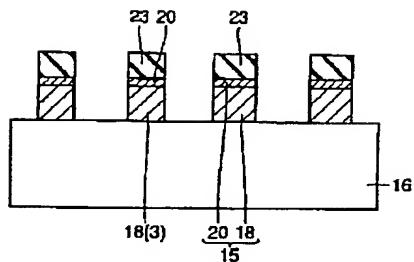
【図6】



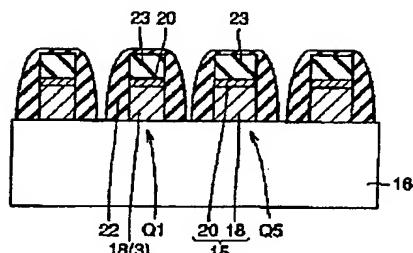
【図7】



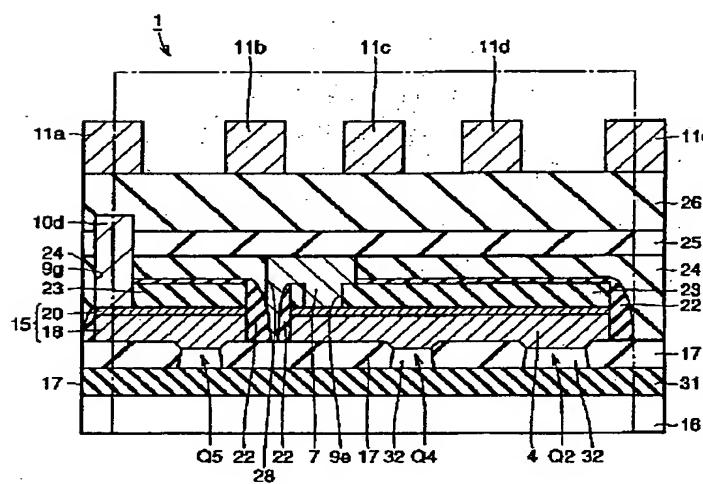
【図15】



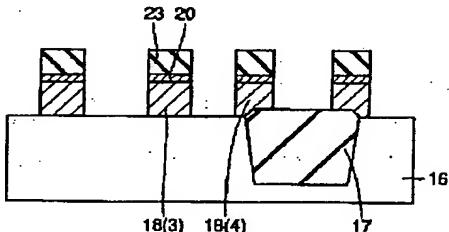
【図16】



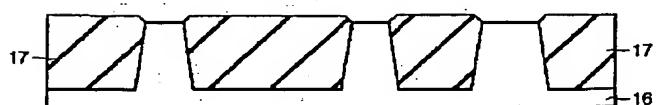
【図8】



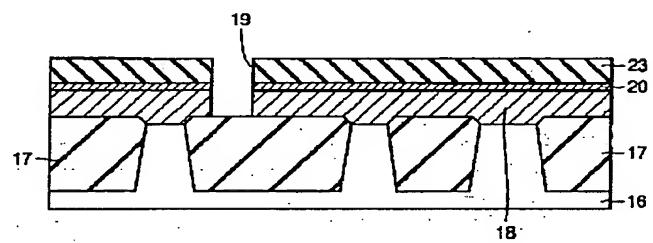
【図21】



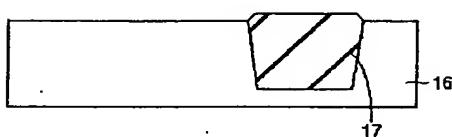
【図9】



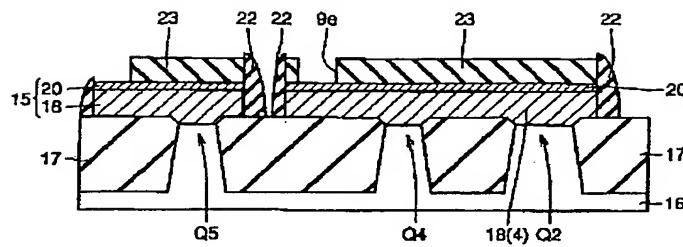
【図10】



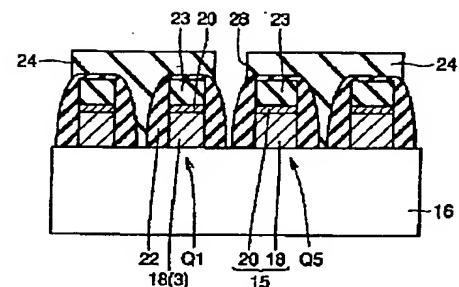
【図20】



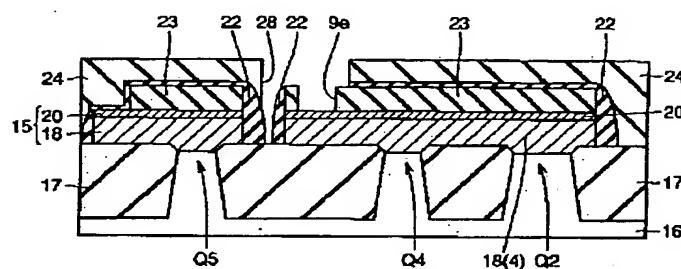
【図11】



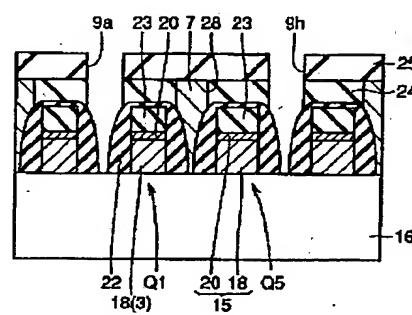
【図17】



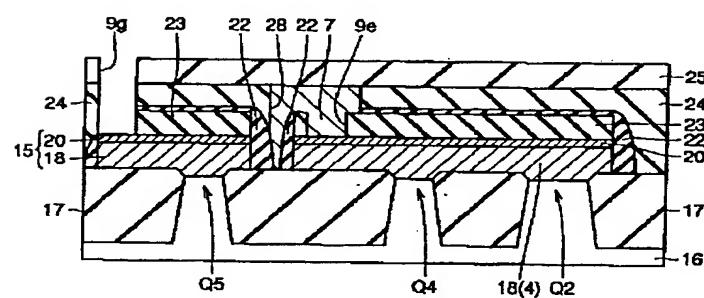
【図12】



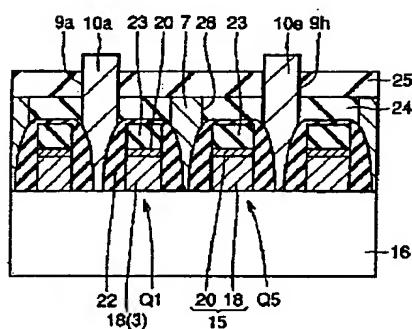
【図18】



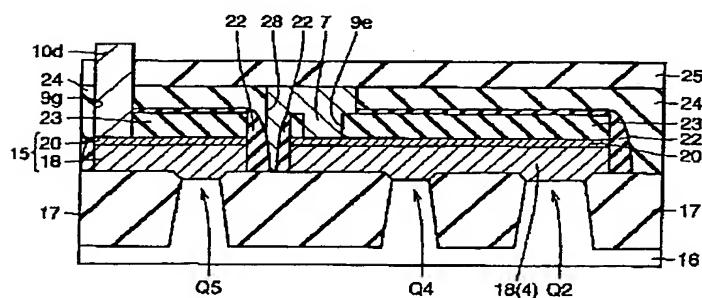
【図13】



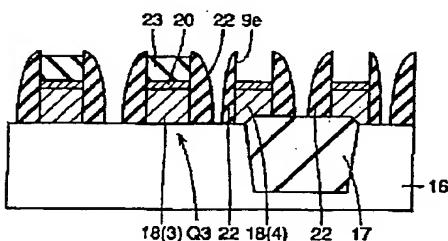
【図19】



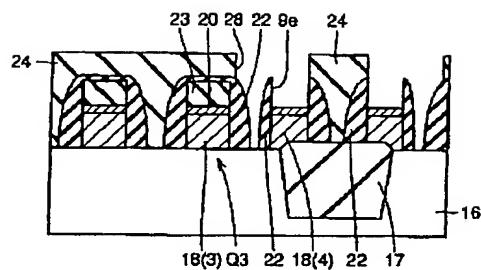
【図14】



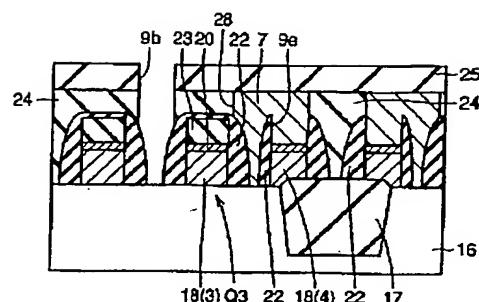
【図22】



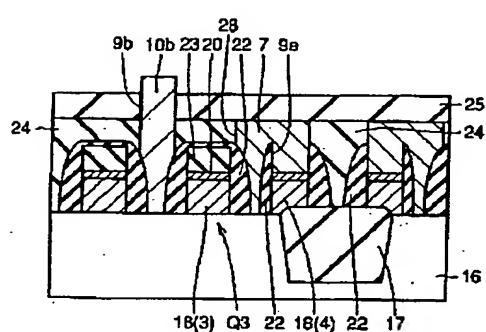
【図23】



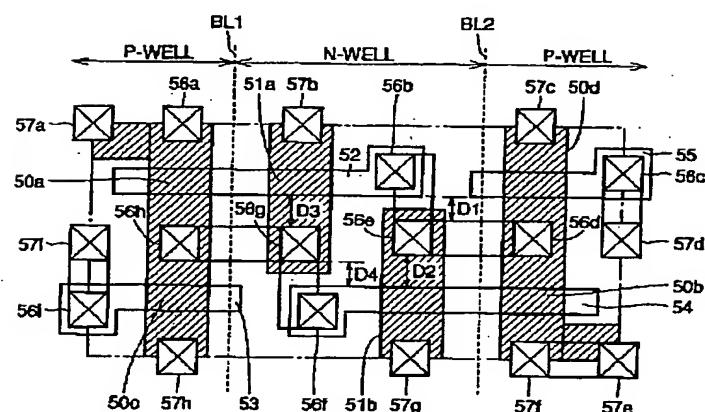
【図24】



【図25】



【図26】



フロントページの続き

Fターム(参考) 5F033 HH08 HH09 HH19 JJ08 JJ09
JJ19 KK01 KK04 KK28 MM02
MM07 MM28 NN12 NN40 PP06
QQ25 RR04 RR06 TT08 UU01
VV16 XX03
5F083 BS00 GA09 HA02 JA35 JA36
JA39 JA53 LA12 LA16 LA17
LA18 LA21 PR29